

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-37048

⑬ Int.Cl.<sup>3</sup>

H 01 L 21/76  
29/784

識別記号

庁内整理番号

9169-4M

⑭ 公開 平成4年(1992)2月7日

8422-4M H 01 L 29/78

8422-4M

3 0 1 R

3 0 1 H

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体集積回路

⑯ 特 願 平2-143967

⑰ 出 願 平2(1990)5月31日

⑱ 発 明 者 伊 藤 政 彦 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑳ 代 理 人 弁理士 尾川 秀昭

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 半導体基板の表面部に各トランジスタ素子をアイランド状に独立させるトレンチが形成され、

上記トレンチ底部にチャンネルストップが形成され、

上記トレンチ底面上にトランジスタ素子のゲート絶縁膜よりも厚い絶縁膜が形成され

たことを特徴とする半導体集積回路

3. 発明の詳細な説明

以下の順序に従って本発明を説明する。

A. 産業上の利用分野

B. 発明の概要

C. 従来技術[第4図]

D. 発明が解決しようとする問題点

E. 問題点を解決するための手段

F. 作用

G. 実施例[第1図乃至第3図]

H. 発明の効果

(A. 産業上の利用分野)

本発明は半導体集積回路、特に素子分離領域、チャンネルストップが広がってトランジスタのチャンネル幅が狭くなる虞のない半導体集積回路に関する。

(B. 発明の概要)

本発明は、半導体集積回路において、

素子分離領域、チャンネルストップが広がってトランジスタのチャンネル幅が狭くなることを防止するため、

各トランジスタ素子をトレンチによりアイランド状に独立させ、トレンチ底部にチャンネルストップを形成したものである。

## (C. 従来技術) [第4図]

半導体集積回路の素子分離には第4図に示すように選択酸化膜により分離するLOCOS法が用いられていた。同図において、aはp型半導体基板、bはp<sup>+</sup>型のチャンネルストップ、cは半導体基板aの表面部を選択酸化することにより形成された選択酸化膜、dはゲート絶縁膜、eは多結晶シリコンからなるゲート電極である。

## (D. 発明が解決しようとする問題点)

ところで、第4図に示すような選択酸化膜cにより素子分離した従来の半導体集積回路には、選択酸化膜のバースピーク及びチャンネルストップbの伸び、拡がりによってMOSトランジスタの実効的チャンネル幅が狭くなり、電流能力が低下するという問題があった。

また、選択酸化膜cのバースピークの伸びによって素子分離領域の面積が広くなり、高集積化の妨げにもなるという問題もあった。

従って、チャンネル幅が狭くなって電流能力が低下する虞れはない。

そして、従来における場合におけるようにバースピークが伸びるというような虞れがないので、素子分離領域の占有面積が広くなり半導体集積回路の集積度を高くすることが難しくなるという虞れがない。従って、高集積化し易くなる。

## (G. 実施例) [第1図乃至第3図]

以下、本発明半導体集積回路を図示実施例に従って詳細に説明する。

第1図及び第2図は本発明半導体集積回路の一つの実施例を示すもので、第1図は断面図、第2図はトランジスタの要部を示す拡大斜視図である。図面において、1はp型半導体基板、2は半導体基板1の表面部を異方性エッチングすることにより形成されたトレンチで、該トレンチ2によって各トランジスタ素子形成領域3がアイランド状に分離されている。4はトレンチ2の底部に形成されたp<sup>+</sup>型のチャンネルストップ、5は一

本発明はこのような問題点を解決すべく為されたものであり、素子分離領域、チャンネルストップが拡がってトランジスタのチャンネル幅が狭くなることを防止することを目的とする。

## (E. 問題点を解決するための手段)

本発明半導体集積回路は上記問題点を解決するため、各トランジスタ素子をトレンチによりアイランド状に独立させ、トレンチ底部にチャンネルストップを形成したことを特徴とする。

## (F. 作用)

本発明半導体集積回路によれば、トレンチにより素子間を分離するので選択酸化膜により素子間分離する場合におけるようにバースピークの伸びによってチャンネル幅が狭くなるという虞れがない。また、チャンネルストップはトレンチ底部にあたるので拡がってもトレンチ上部と同じ高さにあるトランジスタのチャンネル幅には何等影響を及ぼさない。

つのチャンネルストップ4の表面部を選択的に形成された基板電極取り出し用p<sup>+</sup>型半導体領域、6はゲート絶縁膜、6aはゲート絶縁膜6と同時トレンチ2底面上に形成されたところの絶縁膜である。該絶縁膜6aはゲート絶縁膜6よりも膜厚が相当に厚いが、この点については後で説明する。

7は例えばタングステンポリサイドからなるゲート電極、8はMOSトランジスタのソース、9はドレイン、10は層間絶縁膜、11はコンタクト電極である。

このような構造の半導体集積回路によれば、トレンチ2によりMOSトランジスタ間を分離するので、選択酸化法により形成した選択酸化膜により素子間分離をした従来の場合のようにバースピークによって素子分離領域が広くなるという虞れがない。従って、素子分離領域が広がって半導体集積回路の集積度が低くなるという虞れがない。

そして、チャンネルストップ4が横方向に伸び

てもチャンネルストップ4とトランジスタの形成位置との高さが異なるのでそのことによってチャンネル幅が狭くなる虞れがない。

しかも、ゲート電極7がアイランド状に分離された四角柱状の素子分離領域3の側面に沿った垂直部分を有しており、そのため、実効的なチャンネル幅 $W_{eff}$ が広がる。即ち、第2図から明らかなように素子分離領域3のチャンネルと直交する方向の幅 $W_1$ と、ソース8、ドレイン9の深さ $W_2$ の2倍との和 $W_1 + 2W_2$ が実効的なチャンネル幅 $W_{eff}$ となり、実効的なチャンネル幅 $W_{eff}$ は普通の半導体集積回路の場合よりも $2W_2$ 分広がる。このように実効的なチャンネル幅 $W_{eff}$ が広がると必然的に電流能力が高くなる。

第3図(A)乃至(C)は第1図及び第2図に示した半導体集積回路の製造方法を工程順に示す断面図である。

(A) 半導体基板1の表面部をレジスト膜12をマスクとして選択的にエッチングすることによりトレンチ2を形成し、その後、例えばホウ素Bを

砒素Asが添加されるのを阻むマスクとして有効に機能する。従って、ソース8、ドレイン9形成のためのイオン打込みによってチャンネルストップ4の不純物濃度が大きく低下する虞れは全くない。従って、ソース8、ドレイン9の形成時にトレンチ2底面を特別にレジスト膜等を形成してマスクすることは全く必要としない。

尚、その後、例えば $p^{++}$ 型拡散層5を形成し、 $N^+$ 雰囲気における加熱処理によってアニールし、層間絶縁膜10を形成し、コンタクトホールを形成し、電極11を形成する。すると、第1図、第2図に示す半導体集積回路ができる。

#### (H. 発明の効果)

以上に述べたように、本発明半導体集積回路は、半導体基板の表面部に各トランジスタ素子をアイランド状に独立させるトレンチが形成され、該トレンチの底部にチャンネルストップが形成され、該トレンチの底面上にトランジスタのゲート絶縁膜よりも厚い絶縁膜が形成されたことを特徴

トレンチ2底面にイオン打込みすることによりチャンネルストップ4を形成する。第3図(A)はチャンネルストップ4形成後の状態を示す。

(B) 次に、加熱酸化によりゲート絶縁膜6、6aを形成し、その後、タングステンポリサイドからなるゲート電極7を形成する。第3図(B)はゲート電極7形成後の状態を示す。

尚、ゲート絶縁膜6はトレンチ2底面上の部分6aが他の部分よりも膜厚が厚くなる。というのは、 $p$ 型不純物が高濃度に添加された領域上における熱酸化膜の成長速度が不純物が無添加あるいは低濃度の半導体領域上におけるそれよりも速くなるからである。

(C) その後、同図(C)に示すように $n$ 型不純物、例えば砒素Asをイオン打込みすることによりソース8及びドレイン9を形成する。この場合、砒素Asはトレンチ2形成領域にも打込まれるが、トレンチ2底面上に厚い絶縁膜6aが存在しているので、イオン打込みエネルギーが過過ぎない限り該絶縁膜6aがチャンネルストップ4に

とするものである。

従って、本発明半導体集積回路によれば、トレンチにより素子間を分離するので選択酸化膜により素子間分離をする場合におけるようにバースピークの延びによってチャンネル幅が狭くなるという虞れがない。また、チャンネルストップはトレンチ底部にあるので拡がってもトレンチ上部と同じ高さにあるトランジスタのチャンネル幅には何等影響を及ぼさない。

従って、チャンネル幅が短くなって電流能力が低下する虞れはない。

そして、従来における場合におけるようにバースピークが延びるというような虞れがないので、素子分離領域の占有面積が広くなり半導体集積回路の集積度を高くすることが難しくなるという虞れがない。

#### 4. 図面の簡単な説明

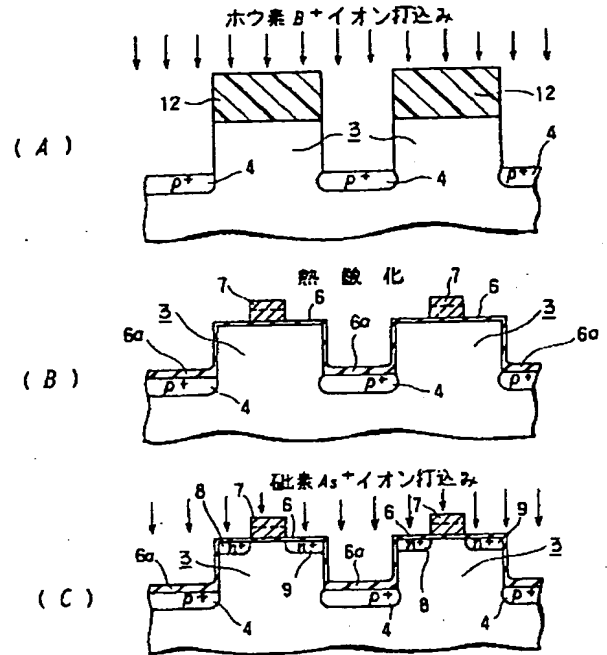
第1図乃至第3図は本発明半導体集積回路の一つの実施例を説明するためのもので、第1図は断

面図、第2図はトランジスタ素子を示す斜視図、  
第3図(A)乃至(C)は製造方法を工程順に示  
す断面図、第4図は従来例を示す断面図である。

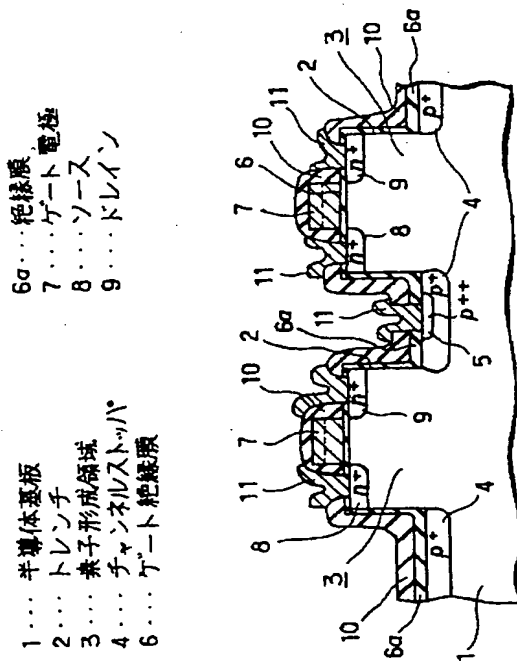
符号の説明

- 1・・・半導体基板、
- 2・・・トレンチ、3・・・素子形成領域、
- 4・・・チャンネルストップ、
- 6・・・ゲート絶縁膜、6a・・・絶縁膜、
- 7・・・ゲート電極、8・・・ソース、
- 9・・・ドレイン、

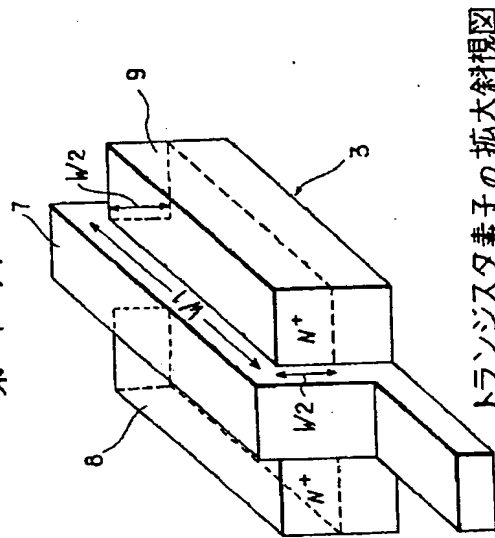
出願人 ソニー株式会社  
代理人弁理士 尾川秀昭



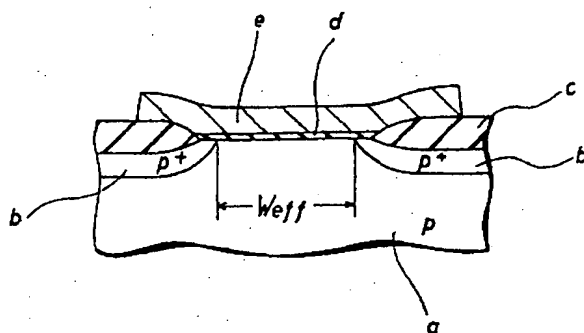
製造方法を工程順に示す断面図  
第3図



断面図  
第1図



トランジスタ素子の拡大斜視図  
第2図



従来例を示す断面図

第 4 図

